

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-246595

(P2002-246595A)

(43)公開日 平成14年8月30日 (2002.8.30)

(51)Int.Cl.  
H 0 1 L 29/78

識別記号  
6 5 2

F I  
H 0 1 L 29/78

テマコード(参考)  
6 5 2 D 4 M 1 0 4

6 5 5  
6 5 6

6 5 2 F 5 F 0 4 8  
6 5 5 A  
6 5 5 C  
6 5 6 A

審査請求 未請求 請求項の数11 OL (全 13 頁) 最終頁に続く

(21)出願番号 特願2001-41309(P2001-41309)

(71)出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(22)出願日 平成13年2月19日 (2001.2.19)

(72)発明者 宮戸 寛明

埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

(74)代理人 100102875

弁理士 石島 茂男 (外1名)

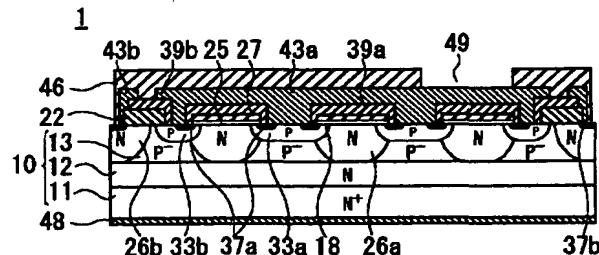
F ターム(参考) 4M104 AA01 BB01 BB02 CC01 CC03  
CC05 DD16 DD34 DD37 DD63  
FF02 FF28 GG06 GG09 GG10  
GG14 GG15 HH16  
5F048 AA05 AC01 AC10 BA03 BA05  
BB05 BC03 BC12 BH01

(54)【発明の名称】トランジスタ

(57)【要約】

【課題】高耐圧で導通抵抗の低いトランジスタを提供する。

【解決手段】第1の導電型のドレイン層12上に第2の導電型の耐圧層13を形成し、耐圧層13内に、耐圧層13表面からの拡散によって、部分的に第1の導電型の導電領域26aを形成する。導電領域26aの底部はドレイン層12と接触させる。また、耐圧層13内に、第2の導電型のベース領域33a、33bを形成し、ベース領域33a、33b内に、第1の導電型のソース領域37aを形成し、トランジスタ1を構成させる。耐圧層13に含まれる第2の導電型の不純物濃度は、ドレイン層12に含まれる第1の導電型の不純物濃度よりも高くされている。その結果、本発明のトランジスタを逆バイアス状態に置いたときに、トランジスタの降伏電圧が高くなっている。



1

## 【特許請求の範囲】

【請求項1】第1の導電型のドレイン層と、前記ドレイン層上にエピタキシャル成長によって形成された第2の導電型の耐圧層とを少なくとも有する半導体基板と、前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成され、底部が前記ドレイン層に接続された第1の導電型の導電領域と、  
前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成された第2の導電型のベース領域と、  
前記ベース領域内に形成された第1の導電型のソース領域と、  
前記ソース領域と前記導電領域との間に位置する前記ベース領域の表面をチャネル領域としたときに、少なくとも前記チャネル領域表面に配置されたゲート絶縁膜と、前記ゲート酸化膜上に配置されたゲート電極膜と、  
前記ソース領域と前記ベース領域に電気的に接続されたソース電極と、  
前記ドレイン層に電気的に接続されたドレイン電極とを有し、  
前記耐圧層の不純物濃度は、前記ドレイン層の不純物濃度よりも高くされたトランジスタ。

【請求項2】前記導電領域を挟んで互いに対抗する前記チャネル領域を有する請求項1記載のトランジスタ。

【請求項3】前記導電領域の表面には、前記互いに対抗するチャネル領域間に亘って、前記ゲート絶縁膜と前記ゲート電極膜が配置された請求項2記載のトランジスタ。

【請求項4】前記導電領域は、表面を該導電領域とは反対の導電型の領域で囲まれた部分を有する請求項1乃至請求項3のいずれか1項記載のトランジスタ。

【請求項5】前記ベース領域の表面近傍の外周部分の一部は、前記導電領域に食い込んでいる請求項1乃至請求項4のいずれか1項記載のトランジスタ。

【請求項6】前記ベース領域の前記導電領域内に形成された部分が前記チャネル領域にされた請求項5記載のトランジスタ。

【請求項7】前記ベース領域の表面濃度は、前記耐圧層の濃度よりも高い請求項1乃至請求項6のいずれか1項記載のトランジスタ。

【請求項8】前記半導体基板の前記耐圧層とは反対の側には、前記ドレイン層よりも高濃度の第1の導電型の低抵抗層が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタ。

【請求項9】前記半導体基板の前記耐圧層とは反対の側には、第2の導電型のコレクタ層が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタ。

【請求項10】前記半導体基板の前記耐圧層とは反対の側には、ショットキー電極が配置され、  
前記半導体基板と前記ショットキー電極の間にショット

10

キーダイオードが構成され、  
前記トランジスタが導通状態に置かれたときに、前記ショットキー電極から前記半導体基板内に少数キャリアが注入されるように構成された請求項1乃至請求項8のいずれか1項記載のトランジスタ。

【請求項11】前記半導体基板の前記耐圧層とは反対の側には、第2の導電型の基板が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタであって、前記トランジスタは、底部が前記基板に接続された第2の導電型のアイソレーション領域によって囲まれたトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、MOSFETやIGBT等の電界効果トランジスタの技術分野に関する。

## 【0002】

【従来の技術】従来のMOSFETを図面を用いて説明する。図37を参照し、符号101は文献に記載されている従来型のnチャネルMOSFETの一例であり、シリコン単結晶から成りN+型の不純物が高濃度にドープされた基板105と、該基板105上にエピタキシャル成長によって形成されたN-型のドレイン層106とを有している。ドレイン層106内には、表面からP型の不純物が部分的に拡散され、複数のベース領域112が形成されている。

【0003】ベース領域112内には、その表面からN型の不純物が部分的に拡散され、各ベース領域112毎にリング状のソース領域114が1個形成されている。符号115で示した領域は、ベース領域112の端部とソース領域114の外周部分の間の部分であり、チャネル領域と呼ばれている。

【0004】ベース領域112とソース領域114とチャネル領域115とで、1つのセル117が形成される。MOSFET101は、多数のセル117を有しており、各セル117が格子状に規則正しく配置されている。

【0005】図38に、MOSFET101のセル117の配置状態を示す。各セル117のチャネル領域115上と、セル117間のドレイン層106表面上にはゲート酸化膜121が形成されており、ゲート酸化膜121上にはゲート電極131が配置されている。

【0006】ソース領域114の内側には、ベース領域112表面が露出しており、ソース領域114表面とベース領域112の表面には、ソース電極132が形成されており、ソース領域114とベース領域112とは、共にソース電極132に接続されている。ゲート電極膜131上には層間絶縁膜122が配置されており、各セル117上に形成されたソース電極132は、層間絶縁膜122上に形成されたソース電極132によって互いに接続されている。従って、ソース電極132とゲート

20

30

40

50

電極膜131とは互いに絶縁されている。

【0007】ソース電極132は、金属薄膜がパターニングされて構成されている。この金属薄膜は、パターニングの際に、その一部がソース電極膜132を構成する部分と分離され、ソース電極132とは絶縁された状態でゲート電極膜131に接続される。そして、その部分の金属薄膜によってゲート電極が構成されている。

【0008】符号135は保護膜であり、該保護膜135及び層間絶縁膜122はパターニングされ、MOSFET101上には、ソース電極132が部分的に露出しており、また、ゲート電極も部分的に露出している。

【0009】また、基板105の裏面にはドレイン電極133が形成されており、このドレイン電極133と、ソース電極132の露出部分と、ゲート電極の露出部分とが外部端子にそれぞれ接続され、外部端子を電気回路に接続することで、このMOSFETを動作させるように構成されている。

【0010】このMOSFET101を使用する場合、ソース電極132を接地電位に置き、ドレイン電極133に正電圧を印加した状態でゲート電極を介してゲート電極膜131にスレッショルド以上のゲート電圧(正電圧)を印加すると、P型のチャネル領域115表面にN型の反転層が形成され、ソース領域114とドレイン層106とが反転層によって接続される。その結果、ドレイン電極133からソース電極132に向けて電流が流れれる。

【0011】その状態からゲート電極スレッショルド電圧以下の電圧(例えば接地電位)を印加すると反転層は消滅し、ベース領域112とドレイン層106とは逆バイアス状態になり、ドレイン電極133とソース電極132の間には電流は流れないようになる。

【0012】上記のようなMOSFET101は、ゲート電極に印加する電圧を制御することで、ドレイン電極133とソース電極132との間の導通を制御できるので、高速なスイッチとして、電源回路やモータ制御回路等の電力を扱う電気回路に広く使用されている。

【0013】上記のようなMOSFET101では、遮断状態にあるときに、ドレイン電極133とソース電極132の間に大きな電圧が印加される場合がある。

【0014】MOSFET101が遮断状態にある間は、チャネル領域115を含むベース領域112とドレイン層106との間が逆バイアスされるから、その部分のPN接合の耐圧でMOSFET101の耐圧は決定されることになる。

【0015】PN接合の形状は、濃度の高い方の拡散層の形状に注目し、プレーナ接合、円筒接合、球状接合の三種類に大別でき、プレーナ接合の耐圧が最も高く、球状接合の耐圧が最も低いことが知られている。

【0016】上記のようなセル117が多数個配置されたMOSFETは、セル117の底面ではプレーナ接合

が形成されるが、セル117が四角形等の多角形のため、辺部分では円筒接合が形成され、頂点部分では球状接合が必ず形成されてしまい、各セル117の頂点部分の耐圧で全体の耐圧が決定されてしまっていた。

【0017】また、導通時の電流は、比較的抵抗値の高いドレイン層106を流れるため、導通抵抗が大きいという問題もある。

【0018】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、高耐圧のトランジスタを提供することにある。また、本発明の他の目的は導通抵抗が低いトランジスタを提供することにある。

【0019】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、第1の導電型のドレイン層と、前記ドレイン層上にエピタキシャル成長によって形成された第2の導電型の耐圧層とを少なくとも有する半導体基板と、前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成され、底部が前記ドレイン層に接続された第1の導電型の導電領域と、前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成された第2の導電型のベース領域と、前記ベース領域内に形成された第1の導電型のソース領域と、前記ソース領域と前記導電領域との間に位置する前記ベース領域の表面をチャネル領域としたときに、少なくとも前記チャネル領域表面に配置されたゲート絶縁膜と、前記ゲート酸化膜上に配置されたゲート電極膜と、前記ソース領域と前記ベース領域に電気的に接続されたソース電極と、前記ドレイン層に電気的に接続されたドレイン電極とを有し、前記耐圧層の不純物濃度は、前記ドレイン層の不純物濃度よりも高くされたトランジスタである。請求項2記載の発明は、前記導電領域を挟んで互いに対抗する前記チャネル領域を有する請求項1記載のトランジスタである。請求項3記載の発明は、前記導電領域の表面には、前記互いに対抗するチャネル領域間に亘って、前記ゲート絶縁膜と前記ゲート電極膜が配置された請求項2記載のトランジスタである。請求項4記載の発明は、前記導電領域は、表面を該導電領域とは反対の導電型の領域で囲まれた部分を有する請求項1乃至請求項3のいずれか1項記載のトランジスタである。請求項5記載の発明は、前記ベース領域の表面近傍の外周部分の一部は、前記導電領域に食い込んでいる請求項1乃至請求項4のいずれか1項記載のトランジスタである。請求項6記載の発明は、前記ベース領域の前記導電領域内に形成された部分が前記チャネル領域にされた請求項5記載のトランジスタである。請求項7記載の発明は、前記ベース領域の表面濃度は、前記耐圧層の濃度よりも高い請求項1乃至請求項6のいずれか1項記載のトランジスタである。請求項8記載の発明は、前記半導体

基板の前記耐圧層とは反対の側には、前記ドレイン層よりも高濃度の第1の導電型の低抵抗層が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタである。請求項9記載の発明は、前記半導体基板の前記耐圧層とは反対の側には、第2の導電型のコレクタ層が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタである。請求項10記載の発明は、前記半導体基板の前記耐圧層とは反対の側には、ショットキー電極が配置され、前記半導体基板と前記ショットキー電極の間にショットキーダイオードが構成され、前記トランジスタが導通状態に置かれたときに、前記ショットキー電極から前記半導体基板内に少数キャリアが注入されるように構成された請求項1乃至請求項8のいずれか1項記載のトランジスタである。請求項11記載の発明は、前記半導体基板の前記耐圧層とは反対の側には、第2の導電型の基板が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタであって、前記トランジスタは、底部が前記基板に接続された第2の導電型のアイソレーション領域によって囲まれたトランジスタ。

【0020】本発明は上記のように構成されており、従来技術とは異なり、第1の導電型のドレイン層上に第2の導電型の耐圧層をエピタキシャル成長で形成している。

【0021】更に、その耐圧層上に窓明けしたシリコン酸化膜等のマスク層を形成し、耐圧層内に第1の導電型の不純物を部分的に拡散させ、耐圧層内の所望位置に第1の導電型の導電領域を形成している。

【0022】また、耐圧層上に、窓明けした酸化膜等をマスクとし、不純物を窓開部分から注入し、拡散させて第2の導電型のベース領域を部分的に形成している。

【0023】このベース領域内に第1の導電型のソース領域が形成されると、ベース領域の端部とソース領域の端部との間に位置し、且つ、ゲート絶縁膜及びゲート電極膜の下方に位置するベース領域の部分がチャネル領域となる。

【0024】ベース領域の底面は、ベース領域と同じ導電型の耐圧層に接続されており、導電領域の底部は、導電領域と同じ導電型のドレイン層に接続されており、ドレイン層とソース領域とが、導電領域と、チャネル領域表面に形成される反転層とを介して接続される。

【0025】本発明のトランジスタは、耐圧層に含まれる第2の導電型の不純物濃度が、ドレイン層に含まれる第1の導電型の不純物濃度よりも高くされており、その結果、本発明のトランジスタを逆バイアス状態に置いたときに、トランジスタの降伏電圧が高くなっている。

【0026】図36は、横軸に、耐圧層とドレイン層の濃度の比、即ち、(耐圧層の濃度)/(ドレイン層の濃度)の値を取り、縦軸にゲート電極とソース電極を短絡させて本発明のnチャネルMOSトランジスタを逆バイアスに置いた場合の降伏電圧の値をとった。横軸は対数目盛

である。

【0027】横軸の値“1”以下の領域、即ち、耐圧層の濃度がドレイン層の濃度よりも低い場合には、降伏電圧が小さくなることが分かる。濃度比が1以上5以下の範囲で降伏電圧が大きくなっている。

【0028】

【発明の実施の形態】本発明を図面を用いて説明する。以下、第1の導電型をN型、第2の導電型をP型として説明する。

【0029】図1を参照し、符号10は、本発明に用いられるウェハ(半導体基板)であり、N<sup>+</sup>型のシリコン単結晶から成る基板11と、該基板11上に配置されたドレイン層12と、該ドレイン層12上に配置された耐圧層13とを有している。

【0030】ここでは、基板11と、ドレイン層12と、耐圧層13は、シリコン単結晶で構成されている。基板11を構成するシリコン単結晶には、N型不純物が添加され、導電型がN型にされている。

【0031】ドレイン層12と耐圧層13とは、それぞれエピタキシャル法によって基板11上にこの順序で形成されており、エピタキシャル成長の際に、ドレイン層12にはN型不純物が添加され、耐圧層13にはP型の不純物が添加され、それぞれの導電型がN型とP型にされている。

【0032】ドレイン層12の表面にP型の不純物を注入し、拡散させても、基板11とドレイン層12と耐圧層13とが積層された構造の半導体基板が得られるが、耐圧層13を拡散によって形成する場合には、耐圧層13の表面側の濃度が底部側の濃度に比べて高くなる。

【0033】本発明では、耐圧層13はエピタキシャル成長によって形成されているので、耐圧層13の内部のP型不純物濃度は均一である。

【0034】N<sup>+</sup>型の基板11の不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19}$ 原子/ $\text{cm}^3$ であり、ドレイン層12の不純物の濃度範囲は $3 \times 10^{13} \sim 3 \times 10^{15}$ 原子/ $\text{cm}^3$ であり、耐圧層13の不純物の濃度範囲は $4 \times 10^{13} \sim 6 \times 10^{15}$ 原子/ $\text{cm}^3$ である。

【0035】本発明では、耐圧層13のP型の不純物の濃度は、ドレイン層12のN型の不純物の濃度よりも高くされており、コンピュータを用いた耐圧のシミュレーション結果によると、この不純物の濃度の大小関係が成立し、且つ、導電領域の表面がゲート絶縁膜25とゲート電極膜27で覆われている場合に、トランジスタを逆バイアス状態に置いたときの降伏電圧が高くなっている。

【0036】なお、ドレイン層12の厚さは $5 \mu\text{m} \sim 200 \mu\text{m}$ 程度であり、耐圧層13の厚さは $2 \mu\text{m} \sim 15 \mu\text{m}$ 程度のものが用いられる。

【0037】このウェハ10を熱酸化し、図2に示すように、耐圧層13表面に厚さ $1.0 \mu\text{m}$ 程度のシリコン

酸化膜から成る一次酸化膜19を形成する。このとき、ウェハ10裏面側の基板11表面にも酸化膜が形成される。但し、この第2図及び後述する各図面では、基板11に形成される酸化膜は省略する。

【0038】一次酸化膜19を形成した後、図3に示すように、フォトリソグラフ工程とエッチング工程によって一次酸化膜19をパターニングし、1個のトランジスタを構成されるウェハ10の領域の外周付近に、リング状の酸化膜リング22を形成する。

【0039】図3の符号20aは、この酸化膜リング22の内周側の開口を示しており、符号20bは、酸化膜リング22の外側の開口を示している。これらの開口20a、20bの底面には、耐圧層13表面が露出している。この状態の平面図を図23に示す。図3は図23のA<sub>1</sub>-A<sub>1</sub>線切断面図に相当する。

【0040】次いで、図4に示すように、ウェハ10表面の所定位置にパターニングしたレジスト膜23を形成する。この状態の平面図を図24に示す。図4は図24のA<sub>2</sub>-A<sub>2</sub>線切断面図に相当する。

【0041】レジスト膜23の酸化膜リング22の内側の部分には、複数個の開口21(ここでは4個)が形成されており、その開口21底面には耐圧層13表面が露出している。

【0042】次いで、図5に示すように、レジスト膜23上にN型不純物(例えはリン)51を照射すると、開口21、20b底面に露出する耐圧層13内部の表面近傍にN型不純物が注入される。符号24aと符号24bは、N型不純物により、レジスト膜23の開口21底面と酸化膜リング22外周の開口20b底面に形成されたN型高濃度不純物層24bはリング状になっている。

【0043】次に、図6に示すように、レジスト膜23を剥離し、耐圧層13表面を露出させた後、熱酸化し、耐圧層13表面にシリコン酸化膜から成るゲート絶縁膜を形成する。図7の符号25は、そのゲート絶縁膜を示している。

【0044】次いで、熱処理し、N型高濃度不純物層24a、24bを拡散源としてN型不純物を拡散させると、図8に示すように、酸化膜リング22の内側のN型高濃度不純物層24aの拡散によってN型の導電領域26aが形成され、酸化膜リング22の外側のN型高濃度不純物層24bの拡散によってN型のストップ層26bが形成される。

【0045】各導電領域26aは長方形又は正方形形状であり、ストップ層26bはリング形状である。酸化膜リング22内側の表面において、導電領域26aが露出していない部分には、耐圧層13表面が露出している。

【0046】この状態の平面図を、図25に示す。図8は、図25のA<sub>3</sub>-A<sub>3</sub>線切断面図に相当する。

【0047】次に、図9に示すように、ゲート絶縁膜2

10

20

30

40

50

5及び酸化膜リング22表面に、ポリシリコンから成るゲート電極膜27を形成した後、図10に示すように、フォトリソグラフ工程とエッチング工程によって、ゲート絶縁膜25とゲート電極膜27と同じパターンにエッチングする。

【0048】図26はその状態の平面図であり、パターニングされたゲート絶縁膜25及びゲート電極膜27は、各導電領域26aの中央を横断しており、ゲート絶縁膜25及びゲート電極膜27の横断部分の両側には、導電領域26a表面が露出している。導電領域26aの露出部分は長方形である。

【0049】符号28a、28bは、ゲート絶縁膜25及びゲート電極膜27のパターニングによって形成された開口を示しており、符号28aは、ゲート絶縁膜25及びゲート電極膜27で囲まれた開口であり、符号28bは、ゲート絶縁膜25及びゲート電極膜27の外周部分と酸化膜リング22との間に位置する開口である。なお、図10は、図26のA<sub>4</sub>-A<sub>4</sub>線截断面図に相当する。

【0050】次に、フォトリソグラフ工程により、図11に示すように、酸化膜リング22の外側のストップ層26b表面をパターニングしたレジスト膜31で覆い、酸化膜リング22の内側にはレジスト膜31を配置せず、ゲート絶縁膜25及びゲート電極膜27で覆われていない部分の導電領域26aと耐圧層13表面を露出させた状態で、図12に示すように、ウェハ10の耐圧層13側表面にP型不純物52を照射する。ここではP型不純物52としてホウ素を用いた。

【0051】P型不純物52は、レジスト膜31と酸化膜リング22とゲート電極膜27を透過できず、開口28a、28b底面に露出している導電領域26a表面と耐圧層13表面に、P型の高濃度不純物層33a、33bが形成される。このP型の高濃度不純物層33a、33bの平面パターンは、開口28a、28bの平面パターンと一致しており、N型の導電領域26a表面にも、P型の高濃度不純物層33a、33bは形成される。

【0052】レジスト膜31を除去した後、熱処理し、高濃度不純物層33a、33bを拡散源としてP型不純物を拡散させると、図13に示すように、P型のベース領域33a、33bが形成される。図13は、ベース領域33a、33bとストップ層26b表面に形成された酸化膜を除去した状態を示している。また、この状態の平面図を図27に示す。図13は、図27のA<sub>5</sub>-A<sub>5</sub>線截断面図に相当する。

【0053】P型不純物は耐圧層13の深さ方向の他、横方向にも拡散するため、ベース領域33a、33bの端部は、ゲート絶縁膜25の下方又は酸化膜リング22の下方に潜り込む。

【0054】導電領域26aは、その上部、即ち導電領域26aのウェハ10の表面に近い部分でベース領域3

3 a、33 b又は耐圧層13とPN接合を形成し、下部では耐圧層13とPN接合を形成している。

【0055】ベース領域33 a、33 bを形成するときの熱処理により、導電領域26 aとストップ層26 bも一緒に熱処理され、拡散される。このときの拡散により、導電領域26 aとストップ層26 bの底部は、ドレン層12に接続される。

【0056】次に、図14に示すように、ベース領域33 a、33 bの表面にパターニングしたレジスト膜34を形成する。この状態の平面図を図28に示す。ベース領域33 a、33 bは、ゲート絶縁膜25及びゲート電極膜27に接する幅一定の長方形の領域を除き、レジスト膜34によって覆われている。図14は、図28のA<sub>6</sub>-A<sub>6</sub>線截断面図に相当する。

【0057】図14、28中の符号35 a、35 bは、レジスト膜34の開口を示しており、符号35 aは、ゲート絶縁膜25及びゲート電極膜27によって囲まれた開口であり、符号35 bは、ゲート絶縁膜25及びゲート電極膜27の外側に位置する開口である。

【0058】この状態で、図15に示すように、ウェハ10の耐圧層13側表面にN型の不純物53を照射すると、開口35 a、35 b底面に高濃度N型不純物層36 a、36 bが形成される。ここではN型不純物53としてヒ素を用いた。

【0059】次いで、レジスト膜34を剥離した後、熱処理をすると高濃度N型不純物層36 a、36 bが拡散され、図16に示すように、それぞれN型のソース領域37 aと、スクライプ層37 bが形成される。熱処理の際に形成された酸化膜は省略してある。

【0060】図29は、酸化膜を省略した状態の平面図を示している。図16は、図29のA<sub>7</sub>-A<sub>7</sub>線切断面図に相当する。

【0061】複数(6個)のソース領域37 aのうち、4個のソース領域37 aは、ゲート絶縁膜25及びゲート電極膜27で囲まれており、他の2個のソース領域37 aは、ゲート絶縁膜25及びゲート電極膜27と酸化膜リング22の間に位置している。

【0062】いずれのソース領域37 aも略矩形形状であり、特に、ゲート絶縁膜25及びゲート電極膜27で囲まれた4個のソース領域37 aは2個一組で平行に対向している。スクライプ層37 bは、酸化膜リング22よりも外側に位置している。

【0063】また、熱処理によってN型不純物が深さ方向に拡散し、ソース領域37 aとスクライプ層37 bが形成される際、N型不純物は横方向にも拡散するため、ソース領域37 aの端部のゲート絶縁膜25又は酸化膜リング22側の辺は、ゲート絶縁膜25又は酸化膜リング22の下方に潜り込んでいる。

【0064】ソース領域37 aの深さ方向の拡散は、ベース領域33 a、33 bの深さよりも浅く、且つ、横方

向拡散はベース領域33 a、33 bの縁を超えないようになっている。従って、ソース領域37 aは、ベース領域33 a、33 bないに形成されている。

【0065】特に、ベース領域33 a、33 bの表面近傍であって、ゲート絶縁膜25の下方に位置し、且つ、ソース領域37 aと導電領域26 aの間に位置する部分はチャネル領域18と呼ばれており、ゲート電極膜27に印加される電圧によって極性が反転し、ソース領域37 aと導電領域26 aとを電気的に接続するようになっている。

【0066】次に、図17に示すように、ウェハ10の耐圧層13側表面に、CVD法によってシリコン酸化物から成る層間絶縁膜38を形成し、フォトリソグラフ工程とエッチング工程によってパターニングする。

【0067】図18の符号39 a、39 bは、パターニングされた状態の層間絶縁膜を示している。符号39 aで示した層間絶縁膜は、ゲート電極膜27の一部の表面を除き、ゲート電極膜27の表面と、ゲート絶縁膜25及びゲート電極膜27の側面を覆っている。符号39 bで示した層間絶縁膜は、酸化膜リング22の表面及び内周の側面を覆っている。

【0068】酸化膜リング22よりも内側では、層間絶縁膜39 a、39 bに形成された開口41 aの底面に、ソース領域37 a表面とベース領域33 a、33 b表面とが露出している。酸化膜リング22よりも外側では、スクライプ層37 b表面が露出している。

【0069】次に、図19に示すように、ウェハ10の耐圧層13側の面に、スパッタ法や蒸着法によって金属膜42を形成する。ここではスパッタ法によってアルミニウム薄膜を形成した。

【0070】次に、フォトリソグラフ工程とエッチング工程によって、図20に示すように、金属膜42をパターニングする。この状態の平面図を図30に示す。図20は、図30のA<sub>8</sub>-A<sub>8</sub>線切断面図に相当する。

【0071】図20、30の符号43 a～43 cは、金属膜24のパターニングによって形成された電極であり、符号43 aはソース電極、符号43 bは等電位電極、符号43 cはゲート電極を示している。各電極43 a～43 cは互いに分離されており、ソース電極43 aはソース領域37 aとベース領域33 a、33 bに接触している。

【0072】ゲート電極43 cの下側に位置する層間絶縁膜39 aには開口が設けられており、ゲート電極43 cは、ゲート電極膜27と接触している。また、等電位電極43 bは、スクライプ層37 bに接触している。

【0073】従って、ソース電極43 aは、ソース領域37 aとベース領域33 a、33 bに電気的に接続されており、ゲート電極43 cはゲート電極膜27に電気的に接続されており、等電位電極43 bは、スクライプ層22とストップ層26 bを介して、ドレン層12及び

基板11に電気的に接続されている。

【0074】次に、図21に示すように、ウェハ10の耐圧層13側に絶縁性を有する保護膜46を形成する。ここではCVD法を用い、シリコン酸化物を堆積させて保護膜46とした。

【0075】次に、保護膜46をフォトリソグラフ工程とエッチング工程により、保護膜46をパターニングし、図22に示すように、ソース電極43aとゲート電極43cの表面を部分的に露出させた後、ウェハ10裏面の基板11を露出させ、その表面に金属膜から成るドレイン電極48を形成すると、本発明の一例のトランジスタ1が得られる。

【0076】この状態の平面図を図31に示す。符号49、50は、保護膜46の開口部分であり、底面にソース電極43aが露出するソースパッドと、ゲート電極43cが露出するゲートパッドをそれぞれ示している。この状態の平面図を図22は、図31のA9-A9線切断面図に相当する。

【0077】最終的に得られたトランジスタ1のベース領域33a、33bの表面不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{18}$ 個/ $\text{cm}^2$ 、ソース領域37aの表面不純物濃度は $1 \times 10^{19} \sim 4 \times 10^{20}$ 個/ $\text{cm}^2$ である。導電領域26aの表面不純物濃度はベース領域33a、33bの表面濃度よりも低く、 $5 \times 10^{14} \sim 6 \times 10^{16}$ 個/ $\text{cm}^2$ である。

【0078】このトランジスタ1はnチャネル型であるから、トランジスタ1を動作させる場合、ソース電極43aを接地電位に置き、ドレイン電極48に正電圧を印加し、ゲート電極膜27にスレッショルド電圧以上の正電圧を印加すると、チャネル領域18の表面にn型の反転層が形成され、反転層を通ってドレイン電極48からソース電極43aに向けて電流が流れる。

【0079】図32(a)の符号59はその電流を示しており、その電流は、基板11、ドレイン層12、導電領域26a、ベース領域33a、33b内の反転層、ソース領域37aの順に流れる。

【0080】その状態からゲート電極膜27にグラウンド電圧を印加すると、反転層が消滅し、電流は流れなくなる。

【0081】図32(b)はその状態を示している。この状態では、N型の基板11とドレイン層12と導電領域26aに対し、P型のベース領域33a、33bが逆バイアスされるため、その間に形成されているPN接合を中心として空乏層56が広がる。

【0082】上記トランジスタ1は、第1の導電型をN型、第2の導電型をP型としたnチャネルMOSトランジスタであったが、第1の導電型をP型、第2の導電型をN型としたpチャネルMOSトランジスタも本発明に含まれる。このトランジスタ場合、トランジスタ1のP型の層又は領域がN型になり、N型の層又は領域がP型

50

になる。即ち、基板11とドレイン層12と、導電領域26aとソース領域37aはP型であり、耐圧層13とベース領域33a、33bはN型になる。

【0083】また、本発明のトランジスタはMOSトランジスタに限定されるものではなく、PN接合型のIGBTやショットキーバリア型のIGBTも含まれる。

【0084】図33のトランジスタ2は、PN接合型のIGBTの例である。このトランジスタ2のウェハ65はP型のシリコン単結晶で構成されたコレクタ層61を有しており、そのコレクタ層61裏面にコレクタ電極54が形成されている他は、上記トランジスタ1と同じ構成である。

【0085】即ち、ウェハ65は、P型のコレクタ層61と、このコレクタ層61上にシリコンのエピタキシャル成長で形成されたN型のドレイン層12と、ドレイン層12上にシリコンのエピタキシャル成長で形成されたP型の耐圧層を有している。

【0086】このトランジスタ2では、コレクタ層61とドレイン層12との間にPN接合が形成されており、コレクタ層61からドレイン層12内に向けて少数キャリアが注入され、ドレイン層12の抵抗率が低くなる。コレクタ層61のP型不純物濃度は $3 \times 10^{18} \sim 2 \times 10^{19}$ 原子/ $\text{cm}^3$ である。

【0087】また、図34に示したトランジスタ3は本発明のショットキー接合型のIGBTの例である。このトランジスタ3のウェハ66は、比較的低濃度のN型のドレイン層12と、そのドレイン層12上にシリコンのエピタキシャル成長によって形成されたP型の耐圧層13とを有している。

【0088】ドレイン層12の裏面には、ショットキー電極55が形成されている。ショットキー電極55とドレイン層12との間にはショットキー接合が形成されており、ショットキー電極55がアノード側、ドレイン層12がカソード側のダイオードが構成されている。

【0089】このトランジスタ3では、ショットキー電極55からドレイン層12内に少数キャリアが注入される。

【0090】このトランジスタ3は、ショットキー接合型のIGBTであり、耐圧層13やベース領域33a、33bの導電型は第一例のトランジスタ1と同じであつたが、導電型を反対にすることもできる。その場合には、ショットキー電極55とドレイン層12との間に形成されるダイオードの極性は、ドレイン領域12がアノードとなり、ショットキー電極55がカソードとなる。

【0091】また、本発明のトランジスタは、個別半導体素子に限定されるものではない。図35のトランジスタ4のウェハ66は、P型のシリコン単結晶から成る基板62と、該基板62上にシリコンのエピタキシャル成長、又は埋込拡散によって形成されたN型のドレイン層12と、シリコンのエピタキシャル成長によって形成さ

れたP型の耐圧層13とを有している。

【0092】このトランジスタ4は、ウェハ66の耐圧層13側の表面から基板62まで達するP型のアイソレーション拡散68によって周囲を囲まれている。

【0093】符号56は、基板62裏面に形成された接地電極であり、この接地電極56が接地電位に接続されることにより、基板62が接地電位に置かれる。

【0094】このトランジスタ4のベース領域33、ソース領域37a、導電領域26b、ゲート絶縁膜25、ゲート電極膜27、層間絶縁膜39はトランジスタ1と同じ工程によって製造され、同じ構造になっている。

【0095】ソース電極70aを構成する金属膜は、パターニングによって一部がソース電極70aから分離され、ドレイン電極70bと不図示のゲート電極とを構成している。符号63a、63bは、保護膜46に形成された開口であり、一方の開口63aの底面にはソース電極70aが露出しており、他方の開口63bの底面にはドレイン電極70bが露出している。

【0096】ゲート電極は、不図示の位置において、ゲート電極膜27に接続されている。ドレイン電極70bは、ベース領域33やソース領域37aには接続されておらず、導電領域26aに電気的に接続されている。

【0097】従って、このトランジスタ4では、ソース電極70aとドレイン電極70bとゲート電極とは、ウェハ66の同じ側に配置されている。

【0098】アイソレーション領域68の外側には、同一チップ内に複数のトランジスタや抵抗素子等の電気素子が形成されており、その電気素子によって、例えば、トランジスタ4を制御する回路が構成されている。このように本発明のトランジスタは、集積回路も含むものである。

#### 【0099】

**【発明の効果】**本発明によれば高耐圧のトランジスタを得ることができる。また、導通抵抗が低いトランジスタを得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の一例のトランジスタの製造工程を説明するための断面図(1)

【図2】その続きの断面図(2)

【図3】その続きの断面図(3)

【図4】その続きの断面図(4)

【図5】その続きの断面図(5)

【図6】その続きの断面図(6)

【図7】その続きの断面図(7)

【図8】その続きの断面図(8)

【図9】その続きの断面図(9)

【図10】その続きの断面図(10)

【図11】その続きの断面図(11)

【図12】その続きの断面図(12)

20

30

40

【図13】その続きの断面図(13)

【図14】その続きの断面図(14)

【図15】その続きの断面図(15)

【図16】その続きの断面図(16)

【図17】その続きの断面図(17)

【図18】その続きの断面図(18)

【図19】その続きの断面図(19)

【図20】その続きの断面図(20)

【図21】その続きの断面図(21)

【図22】その続きの断面図(22)

【図23】図3に対応する平面図

【図24】図4に対応する平面図

【図25】図8に対応する平面図

【図26】図10の断面図に対応する平面図

【図27】図13の断面図に対応する平面図

【図28】図14の断面図に対応する平面図

【図29】図16の断面図に対応する平面図

【図30】図20の断面図に対応する平面図

【図31】図22の断面図に対応する平面図

【図32】(a)：本発明のトランジスタの電流の流れ方を説明するための図

(b)：本発明のトランジスタの空乏層の広がり方を説明するための図

【図33】PN接合型のIGBT構造を持つ本発明のトランジスタの例

【図34】ショットキー接合型のIGBT構造を持つ本発明のトランジスタの例

【図35】本発明に含まれる集積回路の一例

【図36】濃度比と耐圧の関係を説明するためのグラフ

【図37】従来技術のMOSFETを説明するための断面図

【図38】その平面図

#### 【符号の説明】

1～4……トランジスタ

10……半導体基板(ウェハ)

11……基板

12……ドレイン層

13……耐圧層

18……チャネル領域

25……ゲート絶縁膜

26a……導電領域

27……ゲート電極膜

33、33a、33b……ベース領域

37a……ソース領域

43a、70a……ソース電極

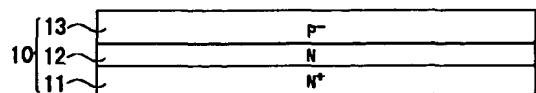
43c……ゲート電極

48、70b……ドレイン電極

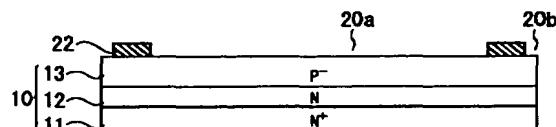
55……ショットキー電極

61……コレクタ層

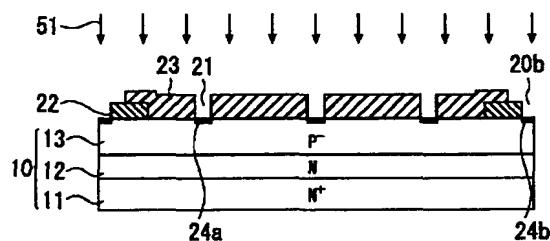
【図1】



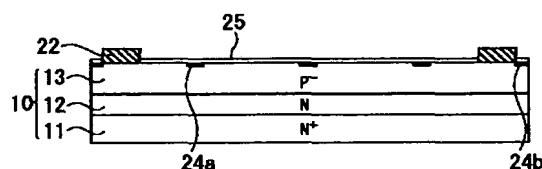
【図3】



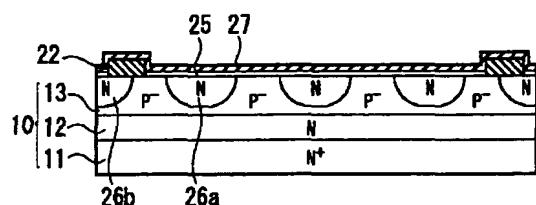
【図5】



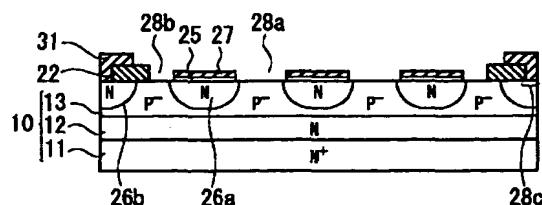
【図7】



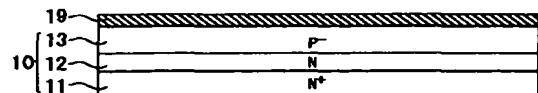
【図9】



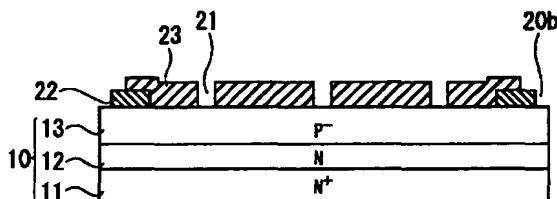
【図11】



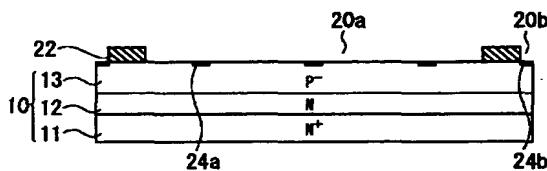
【図2】



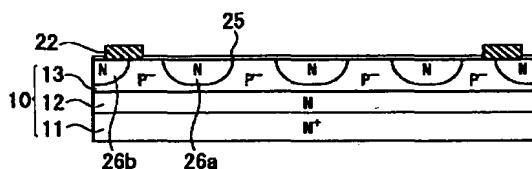
【図4】



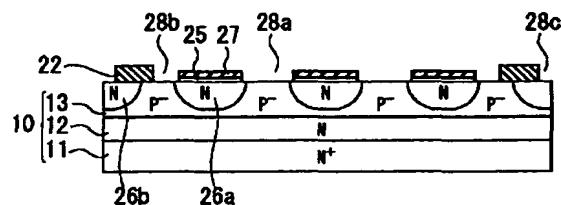
【図6】



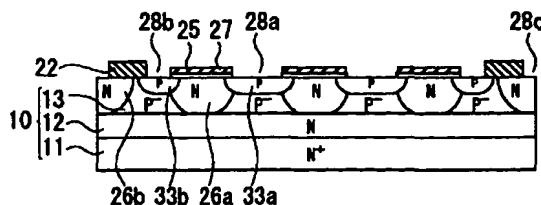
【図8】



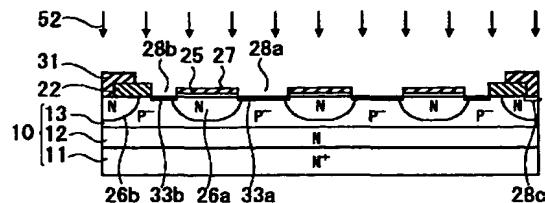
【図10】



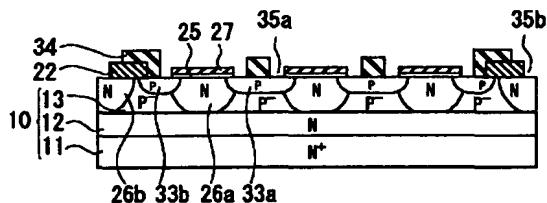
【図13】



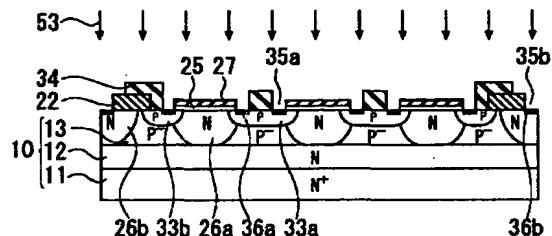
【図12】



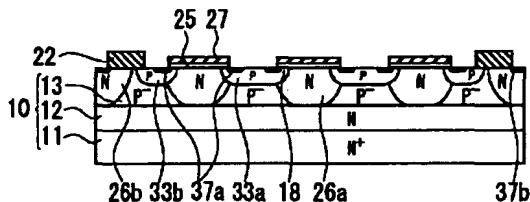
【図14】



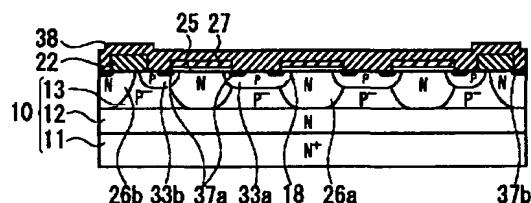
【図15】



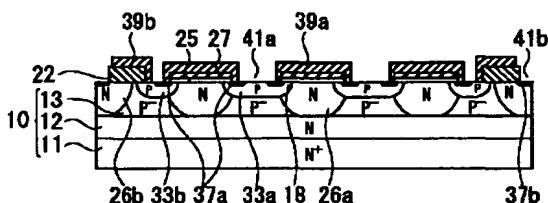
【図16】



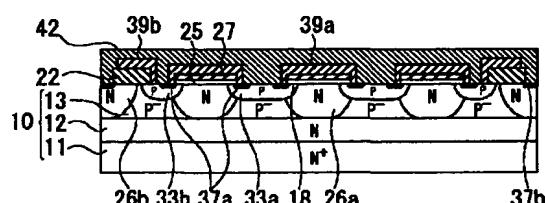
【図17】



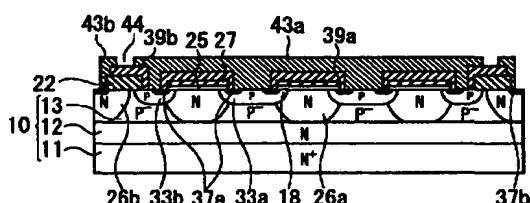
【図18】



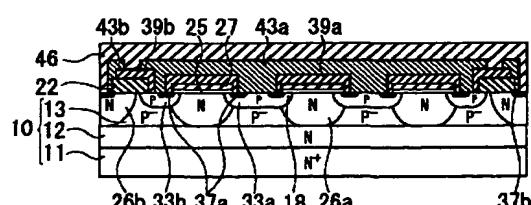
【図19】



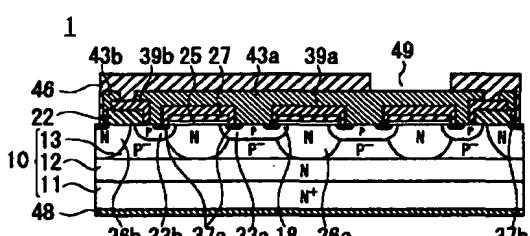
【図20】



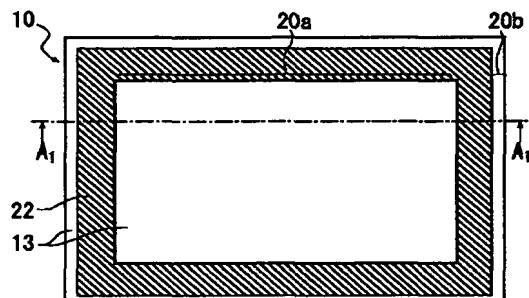
【図21】



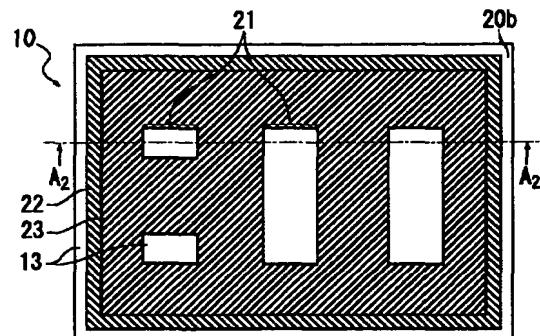
【図22】



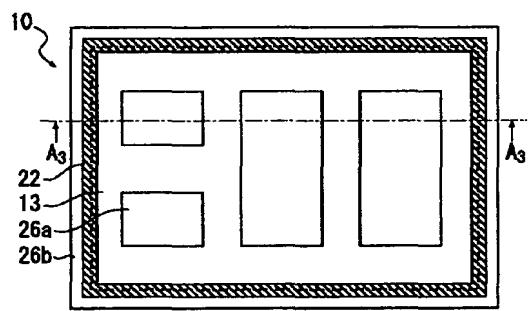
【図23】



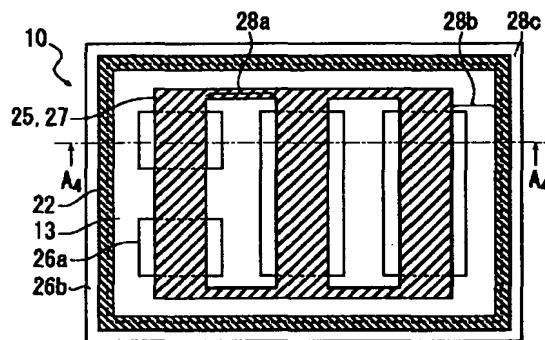
【図24】



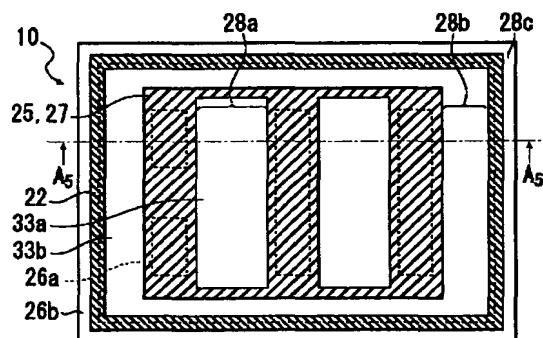
【図25】



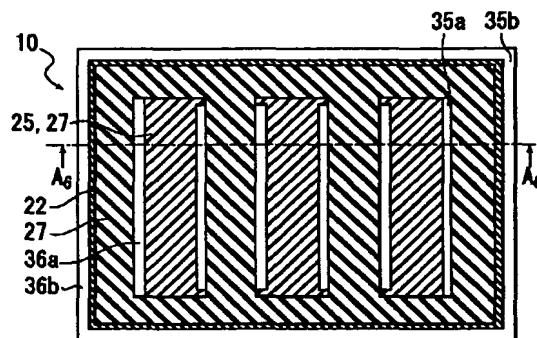
【図26】



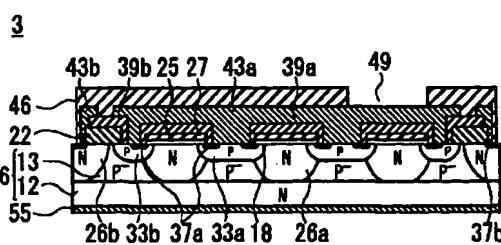
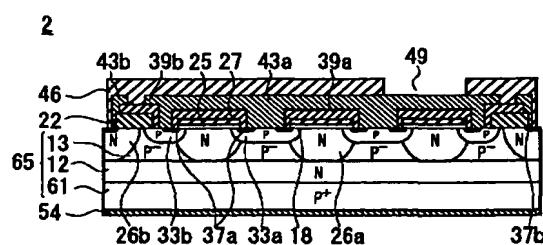
【図27】



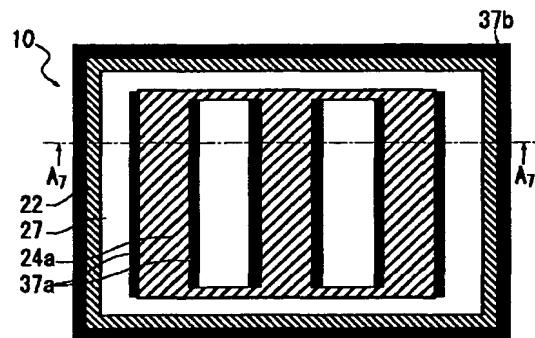
【図28】



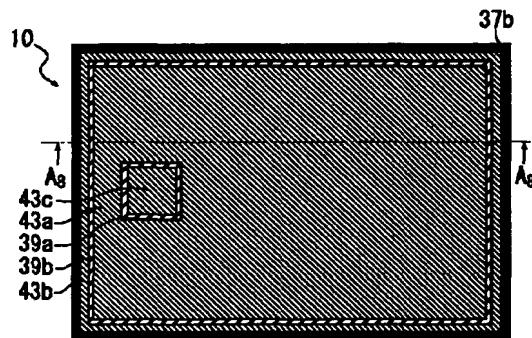
【図33】



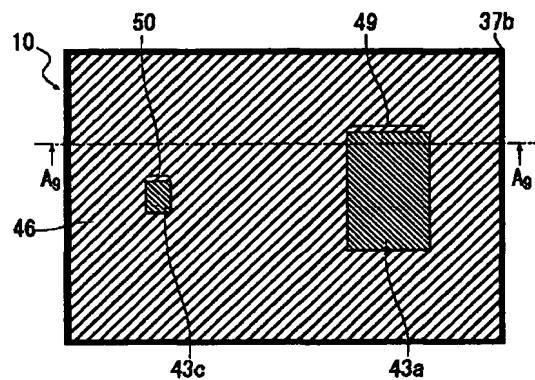
【図29】



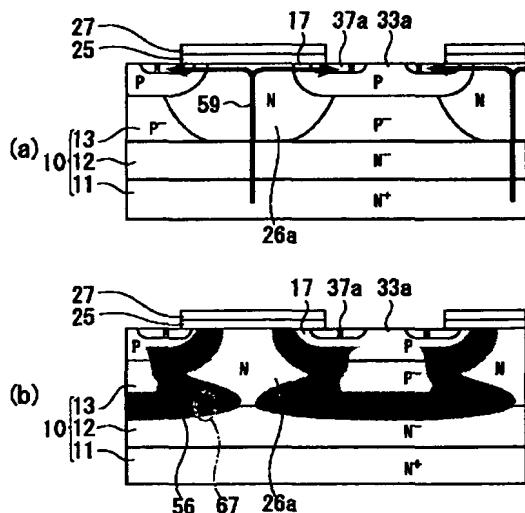
【図30】



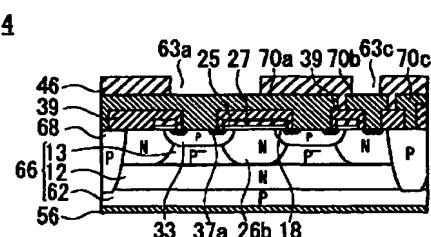
【図31】



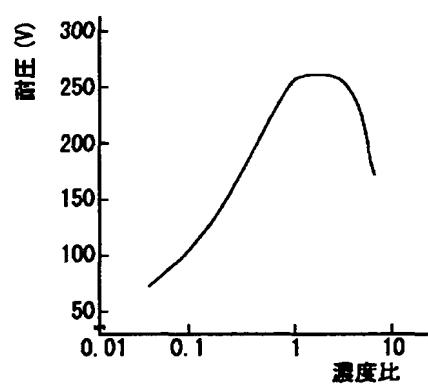
【図32】



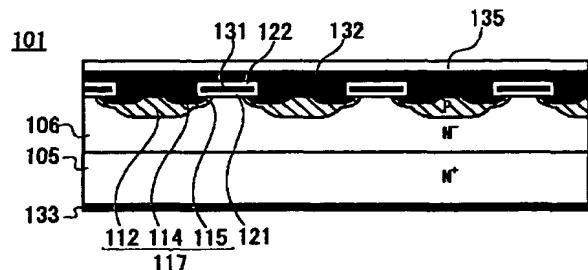
【図35】



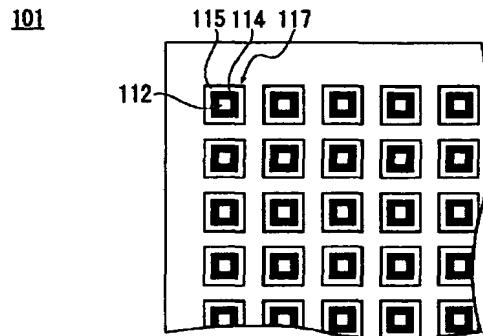
【図36】



【図37】



【図38】



フロントページの続き

(51) Int.C1. 7  
H O 1 L 21/8234  
27/06  
29/872  
29/417

識別記号

F I  
H O 1 L 27/06  
29/48  
29/50

テマコト<sup>®</sup> (参考)  
1 0 2 A  
Z  
B